

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61210463
PUBLICATION DATE : 18-09-86

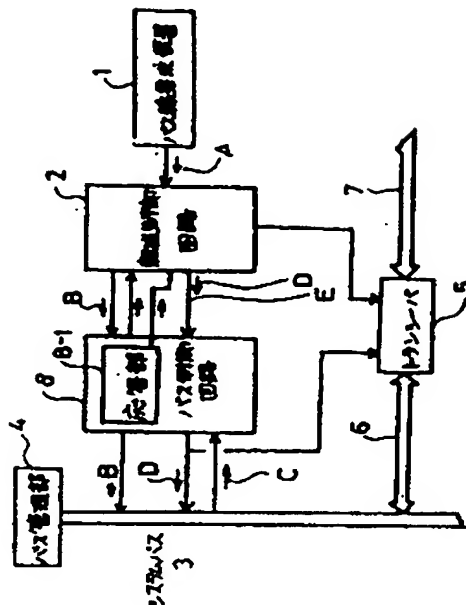
APPLICATION DATE : 14-03-85
APPLICATION NUMBER : 60051786

APPLICANT : FUJITSU LTD;

INVENTOR : KOJIMA KAZUNORI;

INT.CL. : G06F 13/26

TITLE : DATA TRANSFER CONTROL SYSTEM



ABSTRACT : **PURPOSE:** To shorten transfer preparing time and bus occupying time by providing a bus control circuit having a response section instantaneously responding a pseudo-bus permission signal and a ready signal with respect to a bus request signal of a transfer control circuit.

CONSTITUTION: When a bus line request device 1 feeds a transfer request signal A to a transfer control circuit 2, the circuit 2 feeds a bus request signal B to a bus control circuit 8. The circuit 8 receives the signal B in a response section 8-1. The response section 8-1 feeds the signal B to a bus managing section 4 through a system bus 3 and responds a pseudo-bus permission signal and a ready signal E to the circuit 2. The circuit 2 receives the pseudo-bus permission signal and transmits it to a processing section. The processing section starts a transfer preparation by the pseudo-bus signal and extends a bus transfer cycle by the inputted signal E. The managing section 4 determines an allocation of the bus, feeds a bus permission signal C to the circuit 8. The circuit 8 outputs a bus permission acknowledgement signal D to release the signal E. Thereby, a transfer preparation time is shortened and a bus occupying time can be shortened.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-210463

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)9月18日

G 06 F 13/26

D-7165-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 データ転送制御方式

⑮ 特 願 昭60-51786

⑯ 出 願 昭60(1985)3月14日

⑰ 発 明 者	白 土	全 人	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	広 田	泰 生	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	小 島	和 則	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
㉑ 代 理 人	弁 理 士 松 岡 宏 四 郎			

明 細 書

1. 発明の名称

データ転送制御方式

2. 特許請求の範囲

バス線要求装置(1)と該装置(1)の転送要求によって転送制御を行う転送制御回路(2)とからなるシステムにおいて、

前記転送制御回路(2)にバス制御回路(3)を付設すると共に、

該バス制御回路(3)に前記転送制御回路(2)のバス要求信号に即座に擬似バス許可信号とレディ信号とを転送制御回路に应答する应答部(8-1)を備え、

前記転送制御回路(2)が应答部(8-1)の前記擬似バス許可信号によって転送準備を行い、前記レディ信号によってバス許可信号の到達するまで転送サイクルを延引してバス線の獲得をすることを特徴とするデータ転送制御方式。

3. 発明の詳細な説明

(概要)

バス線要求装置と転送制御回路とからなるシステムにバス制御回路を付設し、このバス制御回路が転送制御回路のバス要求信号に基づいて、直ちに擬似バス許可信号とレディ信号を送出して、転送制御回路の運用準備開始を早め、レディ信号によってバス許可信号の受信まで転送サイクルを延引し、バス占有時間の短縮を図る。

(産業上の利用分野)

バス線要求装置とバス線要求装置の転送要求を受けて転送制御を行う転送制御回路とからなるシステムにおけるバス線占有時間の短縮をはかるデータ転送制御方式に関するものである。

バス線は、中央処理装置と各種複数の端末装置或いは、入出力装置、即ちバス線要求装置で共用使用されている。

従って、各バス線要求装置は転送制御回路に転送要求信号を送出し、転送制御回路が転送要求信

特開昭61-210463(2)

号によってバス管理部の指示に基づいて、バス線の割当を決定して転送の制御を行っている。

従って、各バス線要求装置のバス占有時間の短縮を図ることが必要となる。

(従来の技術)

第3図は従来のデータ転送制御方式のブロック図であり、バス線要求装置1は、転送要求信号Aを転送制御回路2に送出する。転送制御回路2はこの転送要求信号Aを受けて、システムバス3を介して、バス管理部4にバス要求信号Bを送出する。

システムバス3を管理しているバス管理部4は、システムバス3の使用の許可が可能であれば、バス許可信号Cを転送制御回路2に应答する。

転送制御回路2はバス許可信号Cによって転送準備を開始して、準備終了後にバス許可肯定信号Dを送出して、トランシーバ5にデータバス6の使用をさせる。

トランシーバ5は自管轄のローカル・データバ

ス7を用いて、運用をする。

上記した従来のタイムチャートは第4図のようになる。即ち、転送制御回路2の転送準備の開始は、バス許可信号Cを受信した後に行われることとなる。

(発明が解決しようとする問題点)

上記したように、従来の転送制御回路の転送準備は、バス許可信号の受信されるまで待たされ、結果としてその分バス線要求装置はバス占有時間が長くなると云う問題がある。

(問題点を解決するための手段)

転送制御回路にバス制御回路を付設し、このバス制御回路に転送制御回路のバス要求信号に対して即座に、擬似バス許可信号とレディ信号とを应答する应答部を設けるよう構成されている。

(作用)

転送制御回路は、バス要求信号を送出して应答部の擬似バス許可信号の应答によって転送準備を

行い、应答部のレディ信号によって転送サイクルをバス許可信号の应答されるまで待つことによって準備時間分バス占有時間の短縮が図れる。

(実施例)

第1図は本発明の実施例であって、従来例と異なるのは、転送制御回路2にバス制御回路8を付設した点にあり、このバス制御回路8には应答部8-1がある。

バス線要求装置1が転送要求信号Aを転送制御回路2に送ると、転送制御回路2はバス要求信号Bをバス制御装置8に送る。バス制御装置8は、バス要求信号Bを应答部8-1で受信し、应答部8-1は、システムバス3を介してバス管理部4にバス要求信号Bを送出すると共に、擬似バス許可信号C1とレディ信号Eを転送制御回路2に应答する。

転送制御回路2は、擬似バス許可信号C1を受け、その旨を処理部2-2に伝える。

処理部2-2は擬似バス信号C1によって転送準備を開始すると共に、入力されるレディ信号Eによ

って、バス転送サイクルを延引する。

一方バス要求信号Bを受けたバス管理部4は、バスの割当を決定して、バス許可信号Cをバス制御回路8に送る。

バス制御回路8は、バス許可信号Cが入力されると、バス許可肯定信号Dを出力し、また、レディ信号Eを解除する。

本発明のタイムチャートを第2に示す。図に示すように、転送制御回路2は、バス要求信号Bを出力して、擬似バス許可信号C1を受けると、転送準備をする。従って、転送準備分バス占有時間が短縮される。

(発明の効果)

以上述べたように、本発明によれば、転送準備時間分短縮の図れるものとなり、バス占有時間を短縮する上で極めて有用である。

4. 図面の簡単な説明

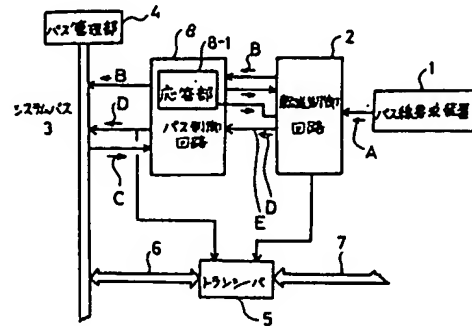
第1図は本発明の実施例のブロック図、

特開昭61-210463(3)

第2図は本発明のタイムチャート、
第3図は従来のデータ転送方式のブロック図、
第4図は従来方式のタイムチャートである。

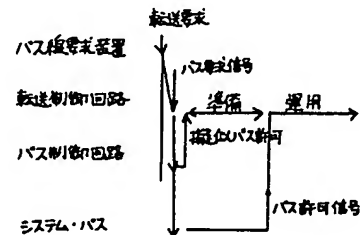
図において、

1はバス線要求装置、2は転送制御回路、3はシステムバス、5はトランシーバ、8はバス制御回路、8-1は応答部である。



本発明の実施例のブロック図

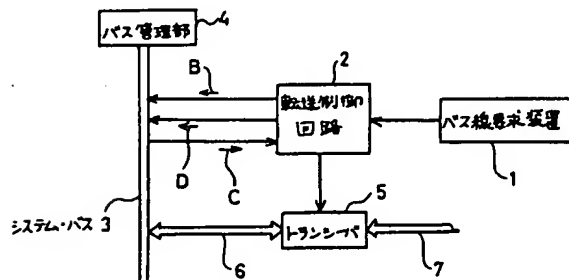
第1図



本発明のタイムチャート

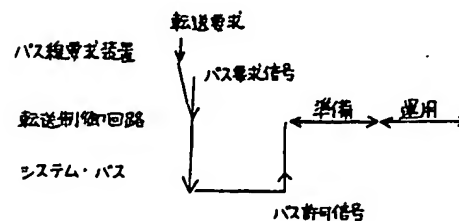
第2図

代理人 弁理士 松岡宏四郎



従来のデータ転送方式のブロック図

第3図



従来方式のタイムチャート

第4図